

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-275933

(43)公開日 平成10年(1998)10月13日

(51)Int.Cl.⁶

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

C

E

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号

特願平9-77816

(22)出願日

平成9年(1997)3月28日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 尺田 幸男

京都市右京区西院溝崎町21番地 ローム株
式会社内

(72)発明者 中田 俊次

京都市右京区西院溝崎町21番地 ローム株
式会社内

(72)発明者 園部 雅之

京都市右京区西院溝崎町21番地 ローム株
式会社内

(74)代理人 弁理士 河村 泰

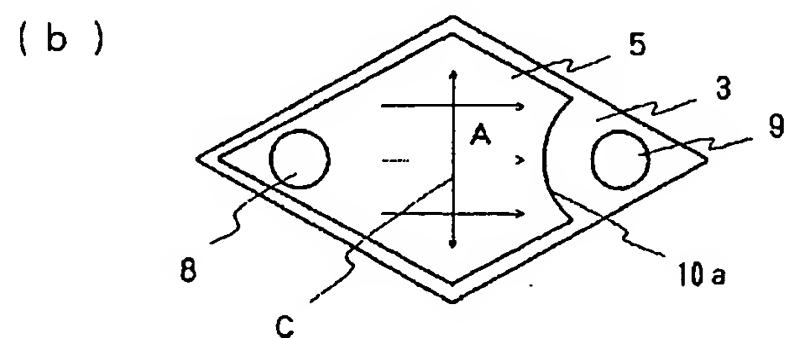
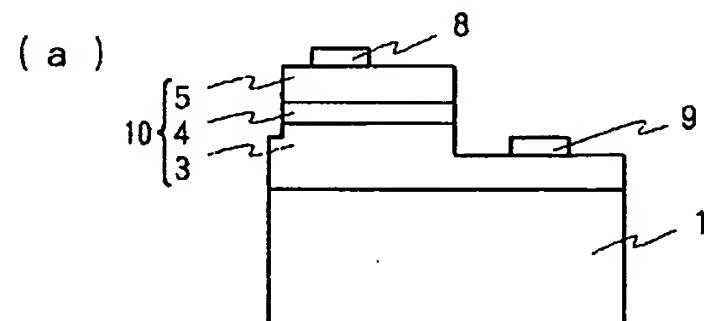
最終頁に続く

(54)【発明の名称】 半導体発光素子

(57)【要約】

【課題】 ウェハからチップへの切断分離の分離幅を狭くしてチップの取れ数を多くすることができると共に、半導体層の電気抵抗が比較的大きいチッ化ガリウム系化合物半導体が用いられる半導体発光素子においても、チップの面内での電流が均一になり、全体で均一に発光する半導体発光素子を提供する。

【解決手段】 絶縁性基板1と、該絶縁性基板上に発光層を形成すべくチッ化ガリウム系化合物半導体が積層される半導体積層部10と、該半導体積層部の表面側の第1導電形の半導体層(p形層5)に接続して設けられる第1の電極(p側電極8)と、前記半導体積層部の一部がエッチングにより除去されて露出する第2導電形の半導体層(n形層3)に接続して設けられる第2の電極(n側電極9)とから発光素子チップがなり、該発光素子チップの平面形状が、ひし形形状または3角形状で、該形状の鋭角の角部に前記第2の電極が形成されている。



1 絶縁性基板	8 p側電極
3 n形層	9 n側電極
5 p形層	10 半導体積層部

【特許請求の範囲】

【請求項1】 絶縁性基板と、該絶縁性基板上に発光層を形成すべくチッ化ガリウム系化合物半導体が積層される半導体積層部と、該半導体積層部の表面側の第1導電形の半導体層に接続して設けられる第1の電極と、前記半導体積層部の一部がエッチングにより除去されて露出する第2導電形の半導体層に接続して設けられる第2の電極とから発光素子チップがなり、該発光素子チップの平面形状が、ひし形形状または3角形状で、該形状の鋭角の角部に前記第2の電極が形成されてなる半導体発光素子。

【請求項2】 前記エッチングにより除去されずに残存する半導体積層部の第1導電形の半導体層と前記第2の電極との平面形状で対向する部分が互いに平行になるように前記半導体積層部のエッチングおよび前記第2の電極の形成がなされてなる請求項1記載の半導体発光素子。

【請求項3】 前記半導体積層部のエッチングによる除去が前記発光素子チップの外周全体に亘ってなされてなる請求項1または2記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は青色系（紫外線から黄色）の光を発光するのに適したチッ化ガリウム系化合物半導体が用いられる半導体発光素子に関する。さらに詳しくは、絶縁性基板上に半導体層が積層されるウェハから切断分離して発光素子チップを形成する場合に、切断分離がし易く、チップの取れ数を向上させ得るチップ形状の半導体発光素子に関する。

【0002】

【従来の技術】たとえば青色系の半導体発光素子は、図3にその発光素子チップ（以下、LEDチップという）の一例の斜視図および平面の説明図が示されるように、サファイアからなる絶縁性の基板上にチッ化ガリウム系化合物半導体層が積層されて形成される。すなわち、ウェハ状のサファイア基板21上にたとえばn形のGaNがエピタキシャル成長されたn形層（クラッド層）23と、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaN系（InとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体からなる活性層24と、p形のGaNからなるp形層（クラッド層）25とが積層され、その表面のp形層25に電気的に接続してp側（上部）電極28が、積層された半導体層の一部がエッチングされて露出するn形層23と電気的に接続してn側（下部）電極29がそれぞれ各チップごとに設けられる。そして各チップに切断分離することにより、LEDチップが形成されている。

【0003】このLEDチップへの切断分離は、サファイア基板があるため劈開をすることができず、サファイ

ア基板の裏面からダイヤモンドペンにより線を入れて割る方法により行われている。そしてその切断線は基盤の目状に縦横が直角方向に切断され、図3に示されるように、平面形状で正方形または長方形に形成されている。このようにして形成されたLEDチップのp側電極28およびn側電極29は、四角形の対角線方向に対向する2つの角部にそれぞれ設けられている。この両電極に順方向の電圧が印加されることにより、電流はp側電極28からp形層25に広がりながら活性層24を通ってn形層23に進み、n形層23からn側電極29に向かって流れる。この電流経路の活性層24部でキャリアが再結合して発光する。なお、p形層25での電流を充分に広げてp形層25の全体で電流が流れるようにするために、p形層25の表面側にNi-Auの合金層などからなる電流拡散層（図示せず）が設けられることがある。

【0004】

【発明が解決しようとする課題】前述のように、LEDチップの外形形状が正方形または長方形の矩形形状であると、サファイア基板の縦横が必ずしもスムーズに割れて綺麗に切断分離されない。そのため、チップ間の切断分離をする境界部の幅を広く取る必要があり、1枚のウェハからチップの取れる個数が少なくなり、コストアップになるという問題がある。さらに、切断分離部の幅が広く設けられていても切断分離の際の割れ目が半導体積層部の活性層に延びることがある。活性層に切断分離の割れ目が延びると充分に発光せず、発光効率が低下するという問題がある。

【0005】また、矩形形状の対向する2つの角部に両電極が形成されると、電極が設けられない角部の方は、電流経路（図3（b）のB参照）が両電極間の最短距離の電流経路（図3（b）のA参照）より相当迂回することになる。一方、半導体層は電気抵抗を有し、その道程が大きくなると電気抵抗が大きくなる。とくにチッ化ガリウム系化合物半導体では、GaAs系の化合物半導体に比べて半導体層の電気抵抗が大きいため、距離が大きくなると直列抵抗の増加が著しくなる。そのため、LEDチップの面内で、半導体層の直列抵抗の小さいところ、すなわちp側電極とn側電極との対向部で距離の短いところに電流が集中して流れ、前述の電極が設けられない角部の方（電流経路B）では電流が流れ難く、活性層を流れる電流もチップ内で不均一になる。その結果、電流が多く流れる部分の輝度が明るくなつて、チップの面内で均一に発光しないという問題がある。

【0006】本発明は、このような問題を解決するためになされたもので、ウェハからチップへの切断分離の分離幅を狭くしてチップの取れ数を多くすることができると共に、半導体層の電気抵抗が比較的大きいチッ化ガリウム系化合物半導体が用いられる半導体発光素子においても、チップの面内での電流が均一化し、全体で均一に発光する半導体発光素子を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による半導体発光素子は、絶縁性基板と、該絶縁性基板上に発光層を形成すべくチッ化ガリウム系化合物半導体が積層される半導体積層部と、該半導体積層部の表面側の第1導電形の半導体層に接続して設けられる第1の電極と、前記半導体積層部の一部がエッチングにより除去されて露出する第2導電形の半導体層に接続して設けられる第2の電極とから発光素子チップがなり、該発光素子チップの平面形状が、ひし形形状または3角形状で、該形状の鋭角の角部に前記第2の電極が形成されている。

【0008】ここにチッ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび／またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。また、第1導電形および第2導電形とは、半導体の導電形のn形およびp形のいずれか一方を第1導電形としたとき、他方のp形またはn形が第2導電形であることを意味する。

【0009】この構造にすることにより、サファイア基板が60°の角度で割れ易いという性質を有しているため、綺麗に割れやすく、切断幅を狭くすることができる。また、ひし形もしくは3角形状で、鋭角の角部に第2の電極が設けられることにより、電極間の経路の迂回する場所が狭められ、極端に道程が大きくなる経路ができず、均一に電流が流れやすい。

【0010】前記エッチングにより除去されずに残存する半導体積層部の第1導電形の半導体層と前記第2の電極との平面形状で対向する部分が互いに平行になるように前記半導体積層部のエッチングおよび前記第2の電極の形成がなされていることが、第1導電形層のエッチング端部の真下の第2導電形半導体層から第2の電極に至る距離はどこでも等しく、第1導電形の半導体層に広がった電流が第2導電形の半導体層に進む場合に、第2導電形の半導体層の一部に電流が集中しないで全体に広がって流れるため好ましい。

【0011】前記半導体積層部のエッチングによる除去が前記発光素子チップの外周全体に亘ってなされておれば、ウェハから各チップへの切断分離の際に発光層にクラックなどが入って発光効率が低下することがない。

【0012】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体発光素子について説明をする。図1には、たとえば青色系の発光に適するチッ化ガリウム系化合物半導体が積層された本発明の半導体発光素子のチップの断面および平面の説明図が示されている。

【0013】本発明の半導体発光素子は、たとえば図1に示されるように、サファイア(A₁₂O₃ 単結晶)などからなる絶縁性基板1の表面に発光層を形成する半導

体積層部10が形成されて、その表面側の第1導電形の半導体層(p形層5)にp側電極(第1の電極)8が電気的に接続されている。また、半導体積層部10の一部が除去されて露出した第2導電形の半導体層(n形層3)に電気的に接続されるようにn側電極(第2の電極)9が形成されている。本発明では、図1(b)に平面図((a)と縮尺は同じではない)が示されるように、LEDチップの平面形状の外形がひし形形状に形成されており、ひし形の対向する鋭角の角部にp側電極8およびn側電極9が設けられていることに特徴がある。その結果、p側電極8とn側電極9とを結ぶ方向は縦方向に延び、両電極を結ぶ方向(電流経路A)と直角方向の幅Cは狭く形成され、電流経路Aが場所によって極端に長くなることはない。

【0014】このような形状のLEDチップを形成するには、サファイア基板1のウェハ上に半導体層を積層して半導体積層部10を形成した後に、その表面にレジスト膜などを設けて、ひし形形状のパターンが形成されたマスクとし、エッチングをすることにより、図1(b)に示されるようにn形層3を露出させることができる。そして電極8、9が設けられた後にウェハの絶縁性基板1の裏面から半導体積層部10のエッチングされたパターンに沿ってダイヤモンドペンにより線を入れ、割ることにより得られる。このパターン形成の形状および切断のための線を入れる場所が従来と異なるが、その他の切断分離方法は従来と同様である。このひし形の鋭角は、たとえば60°程度で、ウェハのオリフラに対して60°の角度で切断することにより切断分離が狭い範囲で綺麗に行われる。

【0015】図1に示される例では、(b)に平面図が示されるように、n側電極9を形成するために積層された半導体層の一部がエッチングされて残存する半導体積層部10のエッチング端部10aとn側電極9の前記端部10aとの対向部分も、平面形状で平行になるように半導体積層部のエッチング端部10aおよびn側電極9の形状が形成されている。その結果、p形層5のn側電極9に最も近いエッチング端部10aとn側電極9との距離もその対向部分のどこにおいても等しくなっている。このエッチング端部10aとn側電極9の形状の対向部を等距離にするには、半導体積層部10のエッチングの際のレジスト膜などのマスクのパターニング、およびn側電極9を形成するためのマスクのパターニングをエッチング端部10aとn側電極9の対向部分が相互に平行(相似形)になるように行うことにより簡単に形成される。

【0016】半導体積層部10は、たとえばGaNからなる低温バッファ層、クラッド層となるn形のGaNおよび／またはAlGaN系(AIとGaNの比率が種々変わり得ることを意味する、以下同じ)化合物半導体の積層構造からなるn形層3、バンドギャップエネルギーが

クラッド層のそれよりも小さくなる材料、たとえばInGaN系化合物半導体からなる活性層4、およびp形のAlGaN系化合物半導体層および／またはGaN層からなるp形層（クラッド層）5が、基板1上にそれぞれ順次積層されることにより構成されている。

【0017】この半導体発光素子を製造するには、たとえば有機金属化学気相成長法（MOCVD法）により、反応ガスおよび必要なドーパントガスを導入してn形層3を1～5μm程度、活性層4を0.05～0.3μm程度、およびp形層5を0.2～1μm程度、それぞれエピタキシャル成長する。その後、表面にレジスト膜を設け、パターニングをして塩素ガスなどによる反応性イオンエッティングにより、積層された半導体層の一部を図1に示されるように除去する。この際、図1（b）に示されるように、平面的に見てエッティング端部10aとn側電極9との距離が、その対向部において等しくなるよう形成する場合には、このエッティングの際のマスクの形状がn側電極9の対向部分と相互に平行になるようにレジスト膜のパターニングをすることにより得られる。その後、たとえばリフトオフ法により、TiとAuとを積層して両金属の積層構造からなるp側電極8を形成する。また同様に、たとえばリフトオフ法により、TiとAlをそれぞれ積層してシンターすることにより両金属の合金層からなるn側電極9を形成する。このn側電極9の形成の際のマスクをエッティング端部10aの対向部と平面形状で平行になるように形成することにより、前述のように相互に等距離に形成される。その結果、図1に示される構造の半導体発光素子が得られる。

【0018】本発明の半導体発光素子によれば、LEDチップの平面形状がひし形になっているため、ウェハから各チップに切断分離する際に、切断線に沿って真っ直ぐに切断しやすい。そのため、絶縁性基板にダイヤモンドペンで線を入れて割るときに、割れ目が横の方に延びないで狭い範囲で割ることができる。その結果、チップ間を狭くすることができ、1枚のウェハから多くのチップを取ることができ、チップの取れ数を向上させることができる。

【0019】一方、p側電極8およびn側電極9がそれぞれひし形の鋭角の角部に設けられているため、p側電極8から供給される電流は、p形層5、活性層4、およびn形層3を経てn側電極9に向かって流れるが、その距離が全体的に長く、幅方向は狭い電流経路となる。そのため、両電極の最短距離より大きく迂回する経路が少なく、チップ全体で電流経路の長さはそれ程差がないと共に、チップの端部から全体を電流が流れ易い。したがって抵抗の小さいところに電流が集中して輝度にバラツキが生じたり、部分的に半導体層が劣化することもなく、チップの全体で明るく発光する。その結果、発光効率も向上し、高特性で信頼性の高い半導体発光素子が得られる。

【0020】なお、積層された半導体層の一部がエッチングされて残存する半導体積層部10のエッティング端部10aと、n側電極9とがその平面形状での対向部において平行（等距離）になるように形成されていることにより、p形層に広がった電流がn形層に達した後、n側電極9に至る経路は、半導体積層部10のエッティング端部10aからn側電極9を見る距離はエッティング端部10aのどの部分でも同じになる。そのため、p側電極8からn側電極9への電流経路は端部10aのどの部分を経由してもエッティング端部10aの下部のn形層3からn側電極9に至る電気抵抗は同じになる。その結果、p形層5から活性層4を経てn形層3に至る電流の経路は、n形層3の一部に集中しないで、均等に分散して流れる。その結果、活性層4に分散して電流が流れ、LEDチップの全面で均等に発光し発光ムラがなくなり易くなる。このエッティング端部10aの形状とn側電極9の形状を対向部分において平行にすることは、とくに後述する電流拡散層が設けられる場合にp形層に電流が広がりやすいためその効果が大きい。

【0021】本発明は、以上のように、LEDチップがひし形形状に形成されているため、ウェハから各チップに切断分離する場合に割れ目が横に延びないで真っ直ぐ切断しやすい。しかし、このひし形形状をさらに2つに分割して、図2に平面形状図が示されるように、3角形状にても同様に狭い境界部で分離をし易い。この3角形状にても、その頂点となる角部にn側電極9が設けられ、その対向部にp側電極8が設けられることにより、電流経路の幅が狭く、どの部分も電気抵抗がそれ程変わらず、チップ全体をn側電極8に流れ込むように電流経路が形成される。この場合、p側電極は図2に示されるように、n側電極9と対向する辺に沿って長く形成されると一層チップの全面に均一に電流経路が形成される。このような3角形状に形成されると、赤、緑、青の3色の発光素子を設けてカラー発光させる場合にその配置を近付けることができ、小型のカラー用発光素子とすることもできる。

【0022】また、図1に示される例では、p形層5上に直接p側電極8が設けられていたが、電流拡散層を介してp側電極が設けられていてもよい。電流拡散層は、たとえばNiおよびAuがそれぞれ真空蒸着などにより積層されてシンターされることにより合金化され、2～100nm程度の厚さに形成されるもので、活性層4で発光する光を透過させると共に電気抵抗が小さく電流を拡散させる作用をする。この場合、光の透過と電気抵抗とは相反関係にあり、電気抵抗を無視できるほど完全に小さくすることができない（電気抵抗を小さくするため電流拡散層を厚くすると、光を透過しなくなる）。しかし、電流拡散層が設けられることにより、ある程度は電流拡散層を介して電流が拡散するため、p形層5での電流の拡散が得られる。この場合、p形層5のエッティング

端部 10a と n 側電極 9 との距離が等距離になるように半導体積層部 10 がエッティングされることにより、一層 n 形層での電流の集中を防ぐことができる。

【0023】なお、図1に示される例では、n 形層 3 と p 形層 5 とで活性層 4 が挟持されたダブルヘテロ接合構造であるが、n 形層と p 形層とが直接接合する p-n 接合構造の半導体発光素子でも同様である。また、積層される半導体層の材料も一例であって、その材料には限定されないが、チッ化ガリウム系化合物半導体の場合にその電気抵抗が大きいため、効果が大きい。

【0024】

【発明の効果】本発明によれば、1枚のウェハからのチップの取れ数が多くなり、コストダウンに寄与する。また、発光素子チップ内の全体で電流分布が均一になるため、均一な発光をし、発光効率が向上する。さらに、電流が部分的に集中しないため、部分的に半導体層が劣化して寿命を短くしたり、不良に至らしめることがない。

その結果、発光効率が低下しやすいチッ化ガリウム系化合物半導体においても、高特性で、高信頼性の半導体発光素子が安価に得られる。

【図面の簡単な説明】

【図1】本発明の半導体発光素子の一実施形態の断面および平面説明図である。

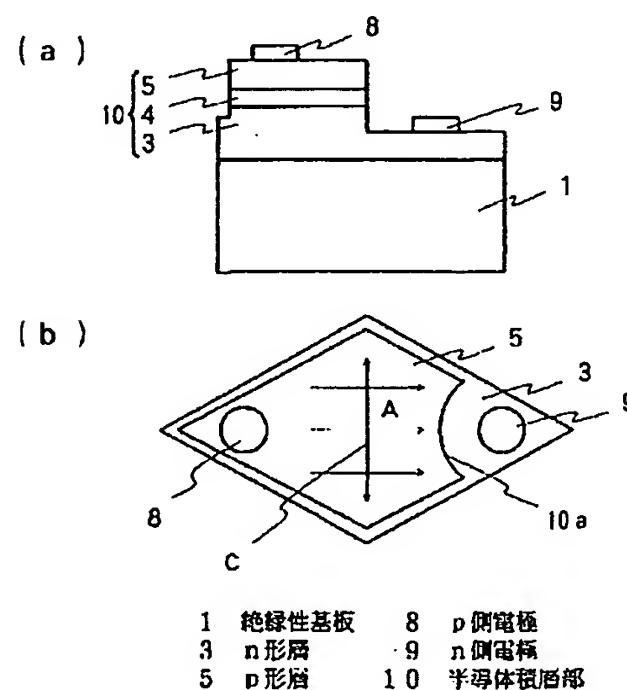
【図2】本発明の半導体発光素子の他の実施形態の平面説明図である。

【図3】従来の半導体発光素子の一例の斜視および平面パターンの説明図である。

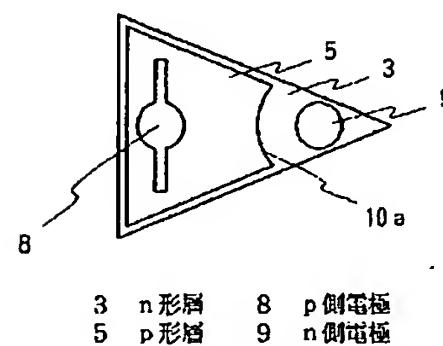
【符号の説明】

- | | |
|----|--------|
| 1 | 絶縁性基板 |
| 3 | n 形層 |
| 5 | p 形層 |
| 8 | p 側電極 |
| 9 | n 側電極 |
| 10 | 半導体積層部 |

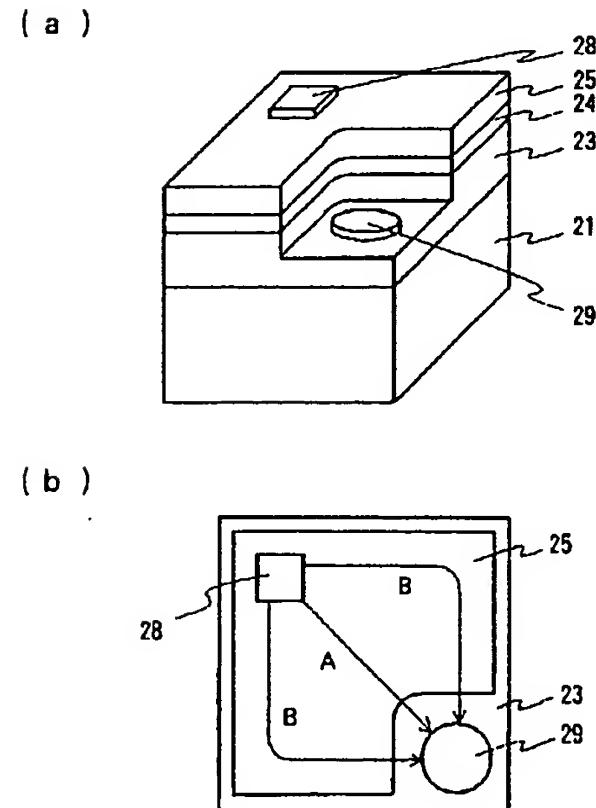
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 筒井 毅
京都市右京区西院溝崎町21番地 ローム株
式会社内

(72)発明者 伊藤 範和
京都市右京区西院溝崎町21番地 ローム株
式会社内

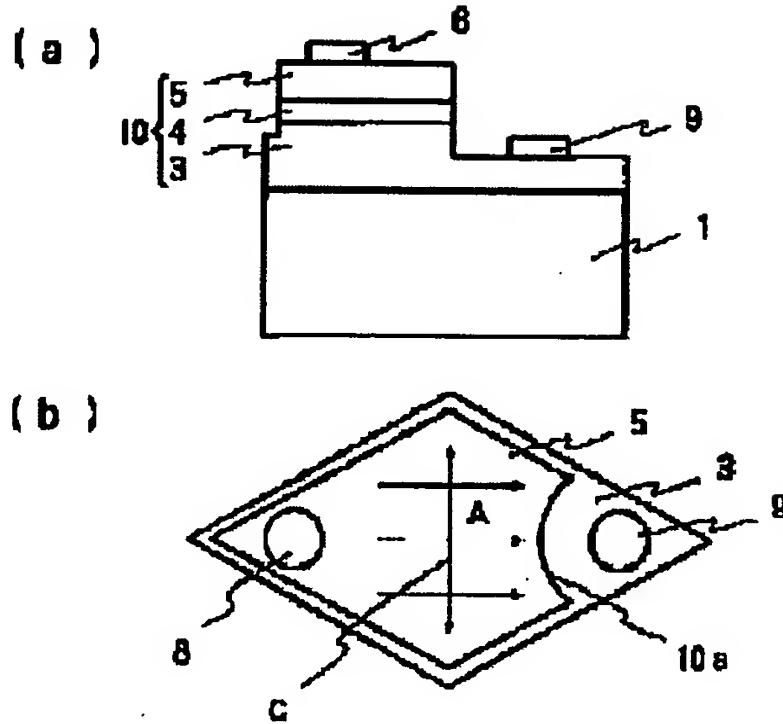
SEMICONDUCTOR LIGHT-EMITTING ELEMENT

Patent number: JP10275933
Publication date: 1998-10-13
Inventor: SHAKUDA YUKIO; NAKADA SHUNJI; SONOBE MASAYUKI; TSUTSUI TAKESHI; ITO NORIKAZU
Applicant: ROHM CO LTD
Classification:
- **International:** H01L33/00
- **European:**
Application number: JP19970077816 19970328
Priority number(s): JP19970077816 19970328

[Report a data error here](#)

Abstract of JP10275933

PROBLEM TO BE SOLVED: To make uniform a current within the surface of a chip and to provide a semiconductor light-emitting element that can emit light uniformly entirely even in the semiconductor light-emitting element that can increase the number of chips being obtained by narrowing the separation width of a cutting separation from a wafer to the chip and at the same time uses a gallium nitride compound semiconductor with a relatively large electrical resistance of the semiconductor layer. **SOLUTION:** A light-emitting element chip comprises an insulation substrate 1, a semiconductor lamination part 10 where a gallium nitride compound semiconductor can be laminated so that a light-emitting layer can be formed on the insulation substrate, a first electrode (a p-side electrode 8) that is provided after being connected to a first-conductive-type semiconductor layer (a p-type layer 5) at the surface side of the semiconductor lamination part 10, and a second electrode (an n-side electrode 9) that is provided after being connected to a second-conductive-type semiconductor layer (an n-type layer 3) being exposed where one portion of the semiconductor lamination part 10 is eliminated by etching. In this case, the flat-surface shape of the light-emitting element chip is in a diamond shape or a triangular shape and the above second electrode is formed at the sharp corner part in this shape.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY